Maulana Azad National Urdu University

Department of Computer Science & Information Technology

UG-B.Tech

I/III/V/VII Semester Examination, November 2025

Course Code: BTCS511PCT

Subject: Computer Organization

Total Marks: 70 | Time: 3 Hours

ہدایات

یہ پرچہ سوالات تین حصوں پر مشتمل ہے: حصہ اول، حصہ دوم، حصہ سوم۔ ہر جواب کے لیے لفظوں کی تعداد اشارۃ ہے تمام حصوں سے سوالوں کا جواب دینا لازمی ہے۔

1. حصہ اول میں 10 لازمی سوالات ہیں جو کہ معروضی سوالات/خالی جگہوں پر کرنا/ مختصر جواب والے سوالات ہیں، ہر سوال کا جواب لازمی ہے، ہر سوال کے لیے 1 نمبر ہے **(10x1=10 Marks)**
2. حصہ دوم میں 8 سوالات ہیں، اس میں سے طالب علم کو کوئی پانچ سوالوں کے جواب دینے ہیں، ہر سوال کا جواب تقریبا (200) لفظوں پر مشتمل ہو۔ ہر سوال کے لیے 6 نمبرات مختص ہیں۔ **(5x6=30 Marks)**
3. حصہ سوم میں 5 سوالات ہیں، اس میں سے طالب علم کو کوئی تین سوالوں کے جواب دینے ہیں، ہر سوال کا جواب تقریبا (500) لفظوں پر مشتمل ہو۔ ہر سوال کے لیے 10 نمبرات مختص ہیں۔ **(3x10=30 Marks)**

Course Outcomes (CO1-CO4)

1. Apply and analyze computer organization, computer arithmetic, and CPU design.
2. Understand I/O system and interconnection structures of computer.
3. Design and analyze different interrupts, I/O techniques, PLDs and memory organization.
4. Implement learning skills and be able to develop different hardware for computer organisation.

(BTL indicates Blooms Taxonomy level 1 Remember, 2 Understand, 3 Apply, 4 Analyse, 5 Evaluate, 6 Create)

Taxonomy level	CO Mapping	Marks	Question	S.NO
				.1
BTL-1	CO2	1	Computer organization میں 'Bus' کو define کریں۔	.i
BTL-1	CO2	1	ALU صرف arithmetic operations کے لیئے responsible ہے۔ (True/False)	.ii
BTL-1	CO1	1	______ register کسی next instruction کے address کو store کرتا ہے۔	.iii
BTL-2	CO1	1	کسی 2 types کے microperations لکھیں۔	.iv
BTL-2	CO2	1	Interrupt driven I/O پر DMA کے دو فوائد بیان کریں۔	.v
BTL-3	CO1	1	دیا گیا ہے کہ CPI=1.5, clock=2 Hz 1 million instructions کے لیئے MIPS کو calculate کریں۔	.vi
BTL-3	CO2	1	Programmed I/O اور interupt driven I/O کے درمیان ایک ایک لائن میں فرق کریں۔	.vii
BTL-2	CO3	1	Accumulator کیا ہے؟	.viii
BTL-5	CO1	1	Processer throughput پر pipelining کے effects کو evaluate کریں۔	.ix
BTL-5	CO2	1	RAM اور ROM میں فرق کریں۔	.x
حصہ دوم				
				.xi
BTL-5	CO3	6	4 devices کے لیے ایک interrupt priority encoder کو design کریں۔	.2
BTL-3	CO3	6	مندرجہ ذیل arithmetic expression کو reverse polish Notation میں convert کریں	.3

			X + (Y – Z) + ((W + E) * F) / J	
BTL-3	CO3	6	دیئے گئے operations کو execute کرنے کے لیے 3، 2 اور 1 address instruction formats کا استعمال کرتے ہوئے code لکھیں۔ X=A/B+C * D/C	.4
BTL-2	CO2	6	XOR gates اور single adders کا استعمال کرتے ہوئے 4 bit numbers کے لیے ایک Adder–Subtractor circuit کو ڈیزائن کریں۔ A = 1010، B = 0110 کے لئے truth table اور output دکھائیں۔	.5
BTL-4	CO3	6	Asynchronous data transfer کیا ہے؟ اس میں handshaking کیسے استعمال کیا جاتا ہے؟	.6
BTL-4	CO1	6	registers، ALU، اور control logic دکھاتے ہوئے CPU organization کا diagram بنائیں اور اس کے interaction کو explain کریں۔	.7
BTL-3	CO4	6	Paging استعمال کرکے virtual memory سے کیسے instruction کو fetch کریں۔ virtual memory اور اسکے فوائد پر ایک note لکھیں۔	.8
BTL-3	CO1	6	00001010 پر مندرجہ ذیل shift micro operations اسی sequence میں perform کریں، اور ہر step کی وضاحت کریں۔ Arithmetic shift right Circular shift Left Arithmetic Shift left Circular Shift Right	.9
			حصہ سوم	
BTL-2	CO3	10	مختلف addressing modes کو مناسب مثالوں کے ساتھ وضاحت کریں۔	.10
			ایک memory system کو 8 x 4K bits کی capacity کے ساتھ 1K × 4 bits کے RAM چپس کا استعمال کرتے ہوئے ڈیزائن کیا جانا ہے۔	.11

BTL-6	CO3	3	ایسے کتنے chips کی ضرورت ہو گی؟	.a
		5	ایک صاف ستھرا block diagram بنائیں جس میں دکھایا گیا ہے کہ 4K rows اور 8-bit word length کو obtain کرنے کے لیے chips کو کس طرح organize کرنا چاہیے۔	.b
		2	واضح طور پر دکھائیں کہ address lines اور chip-select signals کیسے connect ہوئے ہیں، اور addressing decoding logic کی تفصیل سے وضاحت کریں۔	.c
				.12
BTL-5	CO4	5	RISC architecture کی اہم خصوصیات اور فوائد بیان کریں۔	.a
BTL-2	CO1	5	mathematical، logical اور shift instructions پر مختصر نوٹ لکھیں۔	.b
				.13
BTL-2	CO1	6	Register organization کو draw کریں، اور اسکی وضاحت کریں۔	.a
BTL-2	CO3	4	System responsiveness اور overhead کے لحاظ سے polling اور interrupt mechanisms کا comparison کریں۔	.b
			Cache memory پر مندرجہ ذیل سوالات کا جواب لکھیں۔	.14
BTL-2	CO3	4	ایک کمپیوٹر سسٹم 2-level cache memory کا استعمال کرتا ہے: Level 1 cache (L1) کیلئے تک رسائی کا وقت 5ns ہے اور hit rate ہے 0.9 (90%)۔	.a

			level 2 cache (L2) کا access time ہے 25 ns اور hit rate 0.8 (80%,) ہے، اس کا access صرف اس وقت ہوتا ہے جب L1 میں کوئی miss ہو۔ main memory کا access time ہے 200 ns اور صرف اس وقت استعمال ہوتا ہے جب دونوں caches میں miss ہو جائے۔ system کے average memory acces time(AMAT) کو calculate کریں۔	
BTL-2	CO3	6	Cache memory کے مختلف mapping techniques پر ایک تفصیلی note لکھیں۔	.b